

2
10/16/01
Muller

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Shinji FUKASAWA**

Serial No.: **Not Yet Assigned**

Filed: **May 16, 2001**

For: **SEMICONDUCTOR DEVICE HAVING A MULTIPLE LAYER WIRING
STRUCTURE, WIRING METHOD, WIRING DEVICE, AND
RECORDING MEDIUM**

11033 U.S. PRO
09/855590
05/16/01

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

May 16, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

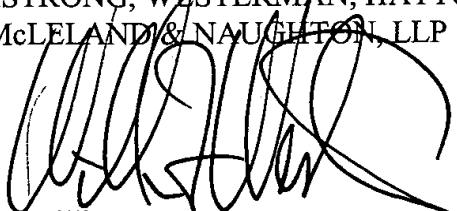
Japanese Appln. No. 2000-381460, filed on December 15, 2000

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN, HATTORI
McLELAND & NAUGHTON, LLP


William F. Westerman
Reg. No. 29,988

Atty. Docket No.: 010623
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WFW/yap

PATENT OFFICE
JAPANESE GOVERNMENT

J1033 U.S. PTO
09/855590
05/16/01

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: December 15, 2000

Application Number: Patent Application No. 2000-381460

Applicant(s): FUJITSU LIMITED
FUJITSU VLSI LIMITED

February 2, 2001

Commissioner,
Patent Office Kohzoh OIKAWA

Certification No. 2001-3004625

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1033 U.S. PRO
09/855590
05/16/01


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年12月15日

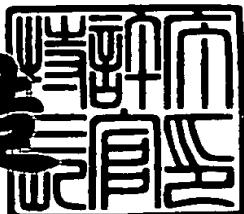
出願番号
Application Number: 特願2000-381460

出願人
Applicant(s): 富士通株式会社
富士通ヴィエルエスアイ株式会社

2001年 2月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3004625

【書類名】 特許願

【整理番号】 0041143

【提出日】 平成12年12月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/768

【発明の名称】 多層配線構造の半導体装置、配線方法、配線装置、及び記録媒体

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内

【氏名】 深澤 真治

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100098431

【弁理士】

【氏名又は名称】 山中 郁生

【電話番号】 052-263-3131

【選任した代理人】

【識別番号】 100097009

【弁理士】

【氏名又は名称】 富澤 孝

【手数料の表示】

【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【包括委任状番号】 0008079

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 多層配線構造の半導体装置、配線方法、配線装置、
及び記録媒体
【特許請求の範囲】

【請求項1】 2層以上のメタル層を備え、接続メタル層と該接続メタル層から1層以上の中間メタル層を越えて離れた接続対象層とを接続領域で接続する際、前記接続メタル層から隣接する前記中間メタル層を順次接続していくスタックVIA部を有する多層配線構造の半導体装置において、

前記中間メタル層を前記接続領域内で適宜に分割した2以上の分割中間メタル層と、

前記分割中間メタル層に挟まれた中間メタル層配線領域とを備えることを特徴とする多層配線構造の半導体装置。

【請求項2】 前記接続領域は、

前記接続メタル層と前記接続対象層との交差部であることを特徴とする請求項1に記載の多層配線構造の半導体装置。

【請求項3】 前記中間メタル層配線領域は、

前記中間メタル層における優先配線方向に形成されることを特徴とする請求項1又は2に記載の多層配線構造の半導体装置。

【請求項4】 前記スタックVIA部を構成する前記メタル層間を接続する層間接続部を適宜に削除することにより、前記中間メタル層の適宜な分割領域を確保して前記中間メタル層配線領域を形成することを特徴とする請求項1乃至3の少なくとも何れか1に記載の多層配線構造の半導体装置。

【請求項5】 前記層間接続部は、

前記層間接続部に接続される前記中間メタル層における優先配線方向に沿った配線トラックに合わせてアレイ状に配置されており、前記優先配線方向に沿って列単位に適宜に削除されることを特徴とする請求項4に記載の多層配線構造の半導体装置。

【請求項6】 2層以上のメタル層について、接続メタル層と該接続メタル層から1層以上の中間メタル層を越えて離れた接続対象層とを接続領域で接続す

る際、前記接続メタル層から隣接する前記中間メタル層を順次接続していくスタックVIA部を有する多層配線構造の半導体装置における配線方法において、

前記中間メタル層を前記接続領域内で適宜に分割し、分割した前記中間メタル層に挟まれた領域を中間メタル層配線領域として形成することを特徴とする多層配線構造の半導体装置における配線方法。

【請求項7】 前記接続領域を、

前記接続メタル層と前記接続対象層との交差部に形成することを特徴とする請求項6に記載の多層配線構造の半導体装置における配線方法。

【請求項8】 前記中間メタル層配線領域を、前記中間メタル層における優先配線方向に形成することを特徴とする請求項6又は7に記載の多層配線構造の半導体装置における配線方法。

【請求項9】 請求項6乃至8の少なくとも何れか1に記載の多層配線構造の半導体装置における配線方法により配線設計を自動で行う自動配線設計プログラムを備えることを特徴とする多層配線構造の半導体装置における配線装置。

【請求項10】 請求項6乃至8の少なくとも何れか1に記載の多層配線構造の半導体装置における配線方法により配線設計を自動で行う自動配線設計プログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多層配線構造の半導体装置、配線方法、配線装置、及び記録媒体に関するものであり、特に、メタル配線層間の接続に関するものである。

【0002】

【従来の技術】

半導体装置における自動配置配線用EDAツールで作成される、メタル配線層の交差部の上下メタル配線層とメタル配線層間を接続する層間接続部とから構成される接続部分（以下、VIAと称する。）は、交差部の領域全面に渡って形成されることが一般的である。更に、図10の平面図、図11のXX'及びYY'断面図に示すように、1層以上のメタル層を越えて上下のメタル配線層M1、M4

間で結線をする場合には、隣接するメタル配線層M1、M4、あるいはメタル層M2、M3間（M1とM2、M2とM3、M3とM4）をVIAにて接続していき、目的となるメタル配線層M1、M4間を接続する、いわゆるスタックVIA構造（以下、Sviaと称する。）を探る。このSviaも、幅W1の下層メタル配線層M1と幅W4の上層メタル配線層M4との交差部100（面積：W1×W4）の全面に渡り、レイアウト上のデザインルールで定まる配線トラックT2、T3のピッチ（X方向T2のピッチ：PX、Y方向T3のピッチ：PY）でマトリックス状に配置される。

【0003】

即ち、図11に示すように、メタル配線層M1とメタル層M2とを層間接続部CUT12にて接続し中間層VIA（VIA12）を構成し、メタル層M2とメタル層M3とを層間接続部CUT23にて接続し中間層VIA（VIA23）を構成し、メタル層M3と上層メタル配線層M4とを層間接続部CUT34にて接続し中間層VIA（VIA34）を構成し、全体としてメタル配線層M1とM4とを接続するSviaを形成する。この時、メタル層M2及びM3は、メタル配線層M1とM4との交差部100と重なる領域に配置され、交差部100全面に渡りSviaがアレイ状に形成される。

【0004】

ここで、VIAにおける層間接続部CUT12、CUT23、CUT34と上下メタル配線層M1、M4、あるいはメタル層M2、M3（以下、メタル層Mと総称する。）とのレイアウト上のデザインルールとして図12に示すように、最小開口幅CSの層間接続部CUTに対して、上下メタル層Mは、製造上の合わせずれ等に対する位置ずれマージンを確保するため幅OHの余裕が設定される。従って、層間接続部CUTとメタル層Mとの位置ずれマージンの制約から、VIAを構成するメタル層Mの最小幅は、

$$MS(VIA) = CS + 2 \times OH \quad \dots \quad (1)$$

としてデザインルール上定められている。

【0005】

しかるに、式（1）のデザインルールでは、位置ずれマージンは確保できるが

、メタル層Mの加工時に必要となるメタル層Mの最小パターン面積の制約を満たさない場合がある。この場合にも隣接するメタル層M間のVIAについて、メタル層Mから信号線、電源線等が引き出されるため、VIAを形成するメタル層Mのパターン面積は、最小面積ルールを満足することとなりレイアウト上問題となることはない。しかしながら、S VIAにおいては、中間層VIA (VIA12、VIA23、VIA34) を構成する中間メタル層M2、M3からは信号線等が引き出されることはないと、最小パターン面積の制約は、層間接続部CUT12、CUT23、CUT34とメタル層M2、M3との位置ずれマージンのみならず、メタル層M2、M3の加工時に必要となるメタル層M2、M3の最小パターン面積を満たす必要がある。そのため従来のEDAツールにおいては、前述した通り、接続するべきメタル配線層M1、M4の交差部100全域に重ねて中間メタル層M2、M3を設けることにより、S VIAを構成することが一般的である。例えば、CADENCE社、AVANT社等のEDAツールにより配線されるS VIA部はこの構造となる。

【0006】

図13には、S VIAにおける中間層VIAの1単位をVIA23を例にとり示している。VIA23を構成するメタル層M2、M3の領域は、S VIAの配置ピッチであるPX (X方向)、PY (Y方向)となる。

【0007】

【発明が解決しようとする課題】

しかしながら、上記従来技術におけるS VIAでは、中間メタル層 (図11におけるM2、M3) は、接続するべきメタル配線層M1、M4の交差部100全域に重ねて設けられるため、中間メタル層M2、M3により配線される信号線等が交差部100を通過できないという問題がある。特に、メタル配線層M1、M4が電源線等の太幅配線である場合には、交差部100も大きな領域を占有することとなり、この領域全面に渡りメタル層M2、M3の信号線トラックT2、T3がブロックされてしまい、配線効率を高めることができないという問題がある。そして、この問題は、半導体装置の微細化、高集積化が進み、メタル層Mの多層化が進展するにつれてブロックされる信号線トラックが増大することとなり、

微細化、高集積化を阻む要因となり問題である。以上は、メタル配線層M1、M4の交差部100に重ねて中間メタル層M2、M3が存在する場合についての課題であるが、これに限定されるものではなく、中間メタル層M2、M3が、交差部を有しないメタル配線層M1、M4間を橋渡しするような形状で配置され、S VIAを構成している場合についても同様の問題がある。

【0008】

本発明は前記従来技術の問題点を解消するためになされたものであり、多層配線構造を有する半導体装置において、S VIAの配置を最適化することにより、接続メタル配線層の中間に位置する中間メタル層による配線効率を向上した多層配線構造の半導体装置、配線方法、配線装置、及び記録媒体を提供することを目的とする。

【0009】

【課題を解決するための手段】

前記目的を達成するために、請求項1に係る多層配線構造の半導体装置は、接続メタル層と1層以上の中間メタル層を越えて離れた接続対象層とを接続領域で接続する際、順次接続していく STACK VIA 部を有する多層配線構造の半導体装置において、中間メタル層を接続領域内で適宜に分割した2以上の分割中間メタル層と、分割中間メタル層に挟まれた中間メタル層配線領域とを備えることを特徴とする。また、請求項6に係る多層配線構造の半導体装置における配線方法は、中間メタル層を接続領域内で適宜に分割し、分割した中間メタル層に挟まれた領域を中間メタル層配線領域として形成することを特徴とする。

【0010】

請求項1の多層配線構造の半導体装置、及び請求項6の多層配線構造の半導体装置における配線方法では、STACK VIA部を構成する中間メタル層が、接続領域内で適宜に分割されて、分割された分割中間メタル層に挟まれた領域を、中間メタル層配線領域とする。

【0011】

これにより、STACK VIA部において、接続メタル層から順次接続していく中間メタル層を分割して接続領域内での中間メタル層による配線を可能とするの

で、スタックVIA部の接続領域で中間メタル層による配線がブロックされることはなく、分割された中間メタル層に挟まれた中間メタル層配線領域により配線を通過させることができ、配線効率を大幅に向上させることができる。

【0012】

また、請求項2に係る多層配線構造の半導体装置は、請求項1に記載の多層配線構造の半導体装置において、接続領域は、接続メタル層と接続対象層との交差部であることを特徴とする。また、請求項7に係る多層配線構造の半導体装置における配線方法は、請求項6に記載の多層配線構造の半導体装置における配線方法において、接続領域を、接続メタル層と接続対象層との交差部に形成することを特徴とする。

【0013】

請求項2の多層配線構造の半導体装置、及び請求項7の多層配線構造の半導体装置における配線方法では、接続メタル層と、接続メタル層から1層以上の中間メタル層を越えて離れた接続対象層とが交差する交差部において、スタックVIA部の接続領域が配置されている。

【0014】

これにより、接続メタル層と接続対象層との交差部に重ねて配置される中間メタル層を分割して接続領域である交差部内での中間メタル層による配線を可能とするので、スタックVIA部を構成する交差部で、中間メタル層による配線がブロックされることはなく、分割された中間メタル層に挟まれた中間メタル層配線領域により配線を通過させることができ、配線効率を大幅に向上させることができる。

【0015】

また、請求項3に係る多層配線構造の半導体装置は、請求項1又は2に記載の多層配線構造の半導体装置において、中間メタル層配線領域は、中間メタル層における優先配線方向に形成されることを特徴とする。また、請求項8に係る多層配線構造の半導体装置における配線方法は、請求項6又は7に記載の多層配線構造の半導体装置における配線方法において、中間メタル層配線領域を、中間メタル層における優先配線方向に形成することを特徴とする。

【0016】

請求項3の多層配線構造の半導体装置、及び請求項8の多層配線構造の半導体装置における配線方法では、中間メタル層を適宜に分割する際、中間メタル層における優先配線方向に分割して、優先配線方向に中間メタル層配線領域が形成される。

【0017】

これにより、半導体装置のメタル配線において予め設定される優先配線方向と同一の方向に中間メタル層配線領域が形成されるので、スタックVIA部の接続領域を通過する中間メタル層配線領域と、スタックVIA部以外で通常配線として配置されている中間メタル層による配線方向との整合性が良好となり、スタックVIA部の接続領域で中間メタル層による配線がブロックされることなく、更に、接続領域外部での配線との接続もスムーズに行なうことができ、配線効率を大幅に向上させることができる。

【0018】

また、請求項4に係る多層配線構造の半導体装置は、請求項1乃至3の少なくとも何れか1に記載の多層配線構造の半導体装置において、スタックVIA部のメタル層間を接続する層間接続部を適宜に削除することにより、中間メタル層の適宜な分割領域を確保して中間メタル層配線領域を形成することを特徴とする。

【0019】

請求項4の多層配線構造の半導体装置では、メタル層間の層間接続部を適宜に削除して、中間メタル層の適宜な分割を行い、中間メタル層配線領域を形成する。

【0020】

これにより、メタル層間の層間接続部を適宜に削除してやれば、中間メタル層を分割して中間メタル層配線領域を確実に確保することができるので、スタックVIA部の接続領域で中間メタル層による配線がブロックされることなく、分割された中間メタル層に挟まれた中間メタル層配線領域により配線を通過させることができ、配線効率を大幅に向上させることができる。

【0021】

また、請求項5に係る多層配線構造の半導体装置は、請求項4に記載の多層配線構造の半導体装置において、層間接続部は、層間接続部に接続される中間メタル層における優先配線方向に沿った配線トラックに合わせてアレイ状に配置されており、優先配線方向に沿って列単位に適宜に削除されることを特徴とする。

【0022】

請求項5の多層配線構造の半導体装置では、中間メタル層の優先配線方向に沿った配線トラックに合わせてアレイ状に配置された層間接続部は、優先配線方向に沿って列単位に適宜に削除される。

【0023】

これにより、中間メタル層の配線トラックに合わせて配置されている層間接続部を列単位に適宜に削除してやれば、スタックVIA部の接続領域に配線トラックを確保することができるので、スタックVIA部以外での通常配線の配線トラックとの整合性が良好となり、スタックVIA部の接続領域で中間メタル層による配線がブロックされることなく、分割された中間メタル層に挟まれた中間メタル層配線領域により配線を通過させることができ、配線効率を大幅に向上させることができる。

【0024】

また、請求項9に係る多層配線構造の半導体装置における配線装置は、請求項6乃至8の少なくとも何れか1に記載の多層配線構造の半導体装置における配線方法に従う自動配線設計プログラムを備えることを特徴とする。

【0025】

これにより、請求項6乃至8の少なくとも何れか1に記載の多層配線構造の半導体装置における配線方法により配線設計を自動で行う自動配線設計プログラムを実行することができる。

【0026】

また、請求項10に係る記録媒体は、請求項6乃至8の少なくとも何れか1に記載の多層配線構造の半導体装置における配線方法により配線設計を自動で行う自動配線設計プログラムを記録している。

【0027】

これにより、請求項6乃至8の少なくとも何れか1に記載の多層配線構造の半導体装置における配線方法により配線設計を自動で行う自動配線設計プログラムの保存、提供が容易となる。

【0028】

【発明の実施の形態】

以下、本発明の多層配線構造の半導体装置、配線方法、配線装置、及び記録媒体について具体化した実施形態を図1乃至図9に基づき図面を参照しつつ詳細に説明する。図1は、実施形態における配線装置の構成図である。図2は実施形態におけるメタル配線層間の接続部を示す平面図である。図3は、実施形態の第1具体例における中間層VIAを示すパターン図である。図4は、実施形態の第1具体例におけるメタル配線層間の接続部を示す平面図である。図5は、実施形態の第1具体例におけるメタル配線層間の接続部を示す断面図である。図6は、実施形態の第2具体例におけるメタル配線層間の接続部を示す平面図である。図7は、実施形態の第2具体例におけるメタル配線層間の接続部を示す断面図である。図8は、実施形態における中間メタル層分割ルーチンについての配線方法を示すフロー図である。図9は、多層配線構造の半導体装置の断面図である。

【0029】

図1に示す多層配線構造の半導体装置における配線装置1は、中央処理装置（以下、CPUと略記する。）2を中心にバス8を介して、メモリ3、磁気ディスク装置4、表示装置（以下、CRTと略記する。）5、キーボード6、及び外部記憶媒体駆動装置7が相互に接続されており、更に外部記憶媒体駆動装置7にCDROMや磁気媒体等の外部記憶媒体9が着脱可能に設置される構成である。

【0030】

後述の図8に示す中間メタル層分割ルーチンについての配線方法フローに示す手順は、上記多層配線構造の半導体装置における配線装置1内のメモリ3や磁気ディスク装置4に記録されている他、CDROMや磁気媒体等の外部記憶媒体9に記録されている場合に、外部記憶媒体駆動装置7を介してメモリ3、磁気ディスク装置4に転送記憶され、あるいは直接CPU2に転送される。

【0031】

また、自動配置配線用EDAツールに係る一連のプログラムやデータ等も、磁気ディスク装置4や、CD-ROM、磁気媒体等の外部記憶媒体9に記録されており、一連のプログラムに従いCPU2からの指令により必要に応じて参照される。

【0032】

さて、図2に示す実施形態は、中間メタル層M2、M3を挟んで、幅W1の下層メタル配線層M1と幅W4の上層メタル配線層M4とが交差した交差部10について、本発明を適用した場合を示す。交差部10の全域に渡って中間メタル層M2、M3の優先配線方向に沿い、配線トラックに合わせてアレイ状に配置されるS VIAを列単位で削除した例である。

尚、以下に説明する実施形態においては、メタル配線層M1、M4が、請求項1又は6に記載の接続メタル層、あるいは接続対象層として、また中間メタル層M2、M3が、請求項1又は6に記載の中間メタル層として構成される場合について示す。

【0033】

具体的には、X方向（上層メタル配線層M4の幅方向）にPXのピッチで5個、Y方向（下層メタル配線層M1の幅方向）にPYのピッチで3個の計15個のS VIAの配置に対して、X方向に1列分、Y方向に2列分の計9個のS VIAを削除可能な例である。この結果、X方向への3つの配線トラックT3のうち配線通過可能な配線トラックL3を1トラック、及びY方向への5つの配線トラックT2のうち配線通過可能な配線トラックL2を2トラック確保することができる。

【0034】

ここで、削除可能なS VIAの個数は、メタル配線層M1、M4を流れる電流値により決定される。つまり、S VIAの電流容量、許容降下電圧値等からデバイスの信頼性上許容されるエレクトロマイグレーションの基準、及び回路動作上の制約から決定される許容降下電圧値の基準の範囲内での削除は可能である。これらの基準と個々の配線に流れる電流容量から、配線毎に許容されるエレクトロマイグレーション耐量、及び許容抵抗値が決定されるので、S VIAの1単位当

りの値からこの許容値を満足するS V I A個数が算出される。

【0035】

さて、この実施形態を中間層V I Aの具体的なレイアウトパターンに対して実現した具体例を示す。図3は、中間メタル層M 2、M 3と両者を接続する層間接続部C U T 2 3とで構成される中間層V I A 2 3'についての第1具体例のレイアウトパターン図である。図12に基づき前述したように、式(1)に示すメタル層Mの最小幅は、層間接続部C U Tとメタル層Mとの位置ずれマージンを確保するための最小幅ではあるが、メタル層Mの加工時に必要となる最小パターン面積の制約を満たしていない。図3には、この制約を、引き出し配線のない中間メタル層M 2、M 3でも満たすための方策を示している。

【0036】

メタル層を配線層として使用する場合、隣り合うメタル配線層で互いに直行する方向を優先配線方向として、メタル配線層毎に配線方向を設定することが一般的に行なわれている。実施形態においては、下層メタル配線層M 1の優先配線方向がX方向であり、上層メタル配線層M 4の優先配線方向がY方向であるため、下層メタル配線層M 1の直上のメタル層である中間メタル層M 2の優先配線方向はY方向となり、更にその上の中間メタル層M 3の優先配線方向はX方向となる。メタル配線を施す場合、優先配線方向に配線トラックが設定されるから、優先配線方向に対する幅方向へのメタル層サイズで配線ピッチが決定されることになる。従って、中間層V I A 2 3'において、中間メタル層M 2、M 3の最小パターン面積を確保することができる面積分だけ優先配線方向にメタル層を延長することが好ましい。これにより、メタル層M 2については、X方向の幅は最小幅のまま、Y方向に延長をし、メタル層M 3については、Y方向の幅は最小幅のまま、X方向に延長をした構成を探る。この構成により、優先配線方向に対するメタル層幅は最小幅を維持しながら、優先配線方向に直行する方向に対するメタル層幅も必要最小限の延長となる。

【0037】

図4に示す交差部11は、第1具体例の中間層V I A 2 3'を、図2の交差部10に配置した時の中間メタル層M 2、M 3の様子を示している。更に、図5に

は、交差部11のXX'、及びYY'断面図を示し、中間メタル層M2、M3の様子を示している。

【0038】

図2では、X方向に配線通過可能な配線トラックL3が1トラック、Y方向に配線通過可能な配線トラックL2が2トラック確保されており、更に、配置される中間層VIA23'が、各中間メタル層M2、M3における優先配線方向に対して最小幅となる構成を有している。そのため、図4から明らかなように、X方向の配線トラックL31は、メタル層M3の通過配線として十分な配線幅を有した配線トラックとしてピッチ $2 \times PY$ で領域を確保することができ、Y方向の配線トラックL21は、メタル層M2の通過配線として十分な配線幅を有した配線トラックとしてピッチ $2 \times PX$ で領域を確保することができる。

【0039】

メタル層M2とメタル層M3とは、優先配線方向が互いに直行するので、図5に示すように、メタル層M2については、交差部11のXX'断面に直行する方向が優先配線方向となり、 $2 \times PX$ のピッチで配線トラックL21が交差部11を通過し、メタル層M3については、交差部11のYY'断面に直行する方向が優先配線方向となり、 $2 \times PY$ のピッチで配線トラックL31が交差部11を通過する。

【0040】

また、実施形態を他の中間層VIA23''（不図示）に対して実現した第2具体例では、中間層VIA23''は、中間層VIA23'（図3、参照）におけるメタル層M2、M3を、各々の優先配線方向に、従来技術におけるS VIAのピッチ PY 、 PX まで延長した構成である。

【0041】

図6に示す交差部12は、中間層VIA23''を、図2の交差部10に配置したときの中間メタル層M2、M3の様子を示している。更に、図7は、交差部12のXX'、及びYY'断面図を示し、中間メタル層M2、M3の様子を示している。

【0042】

中間層VIA23''では、中間メタル層M2、M3を各々の優先配線方向にS VIAのピッチPY、PXまで延長したものである。そのため中間層VIA23''を配置した交差部12では、中間メタル層M2、M3はそれぞれの優先配線方向に互いに接続された構成となる。即ち、図6、7に示すようにメタル層M2についてはYY'方向に、及びメタル層M3についてはXX'方向に、それぞれ延長、接続された構成をもって中間メタル層M2、M3が形成されている。

【0043】

一方、中間層VIA23''を構成する中間メタル層M2、M3の幅方向は、図3における場合と同様に、式(1)に示す最小幅に構成されている。従って、第1具体例と同様に、図6に示すようにX方向の配線トラックL32は、メタル層M3の通過配線として十分な配線幅を有した配線トラックとしてピッチ $2 \times PY$ で通過領域を確保することができ、Y方向の配線トラックL22は、メタル層M2の通過配線として十分な配線幅を有した配線トラックとしてピッチ $2 \times PX$ で通過領域を確保することができる。更に、図7に示すように、メタル層M2は、交差部12のXX'断面に直行する方向に $2 \times PX$ のピッチで配線トラックL22が交差部12を通過し、メタル層M3は、交差部12のYY'断面に直行する方向に $2 \times PY$ のピッチで配線トラックL32が交差部12を通過する。

【0044】

次に、図8に示す中間メタル層の分割について、実施形態を例にとりながら説明する。図8は、中間メタル層分割ルーチンについての配線方法のフローを示しており、自動配線設計プログラムにおける手続き中、中間メタル層の分割ルーチンについて示したものである。

【0045】

先ず、このルーチンに入るに先立ち、予め中間層VIAのレイアウトパターンを選定しておく(S0)。実施形態では、中間層VIA23'、あるいはVIA23''のいずれかを選択する。この場合はメタル配線層M1とM4とをSVIAにて接続する際に必要となる中間層VIA23'、VIA23''について例示しているが、更に多層のメタル配線層を使用する場合も含めて他のメタル配線層間のSVIAについても同様に設定しておく必要がある。

【0046】

中間メタル層分割ルーチンでは、先ず、S V I A接続するべきメタル配線層間の交差部10、11、12を抽出する(S1)。そして抽出された交差部10、11、12にS V I Aをアレイ状に配置するが、S V I Aの配置位置として交差部10、11、12の中間メタル層M2、M3に対して設定されている優先配線方向に沿った方向に合わせてアレイ配置をする手続きとすることもできる。更に、アレイ配置上のS V I Aのピッチとして交差部10、11、12の中間メタル層M2、M3に対して設定されている配線トラックに合わせたピッチとすることもできる(S2)。実施形態では、X方向にP X、Y方向にP Yである。

【0047】

中間メタル層M2、M3の優先配線方向や配線ピッチ等の制約に合わせたS V I Aのアレイ配置を基本配置として、対象となっているS V I A部におけるエレクトロマイグレーション耐量や降下電圧値等が設計基準を満足しているか否かをチェックする(S3)。この時点で既に設計基準を満足していなければ(S3: NO)、対象となっている交差部10、11、12ではS V I Aによりメタル配線間M1、M4の接続することはできない旨の警告等を発した後(S7)ルーチンから抜ける。設計基準を満足している場合には(S3: YES)、削除可能なS V I A列を算出し削除候補をリストアップする(S4)。例えば、実施形態において交差部10、11、12に配置される15個のS V I Aに対して、9個のS V I Aを削除可能である場合には、削除候補として、X方向へ1配線トラック及びY方向へ2配線トラック(実施形態の場合。図2、参照)、あるいはY方向へのみ3配線トラックの2つの候補をリストアップすることが可能である。そして、リストアップされたS V I Aの削除候補から、レイアウト上交差部10、11、12を通過すべき中間メタル層M2、M3の配線の有無に応じて削除すべきS V I A列を選択し(S5)、S V I A列の削除、予め設定されている中間層V I Aの配置等を行ない(S6)この処理ルーチンを終了する。尚、中間層V I Aを全てのS V I Aに設定しておけば、この段階で改めて中間層V I A23'、23''の配置処理をする必要はない。また、ここでは、S V I A全体を削除する場合を例にとり説明したが、S V I Aを構成する中間層V I A23'、23''を選

択的に削除することも可能である。

【0048】

図9には、本発明の適用可能な多層配線構造を示す。シリコンバルク層33上に形成された拡散層21、熱酸化膜32、またシリコンバルク層33上に形成されるMOSトランジスタのゲート電極等を構成する多結晶シリコン層22を配置した上で、層間絶縁膜31で相互に絶縁された状態で1乃至4層の多層のメタル配線層が構成されている。Aでは、4層メタル26を請求項1又は6に記載の接続メタル層と、多結晶シリコン層22を請求項1又は6に記載の接続対象層と、そして1乃至3層メタル23、24、25の3層のメタル層を請求項1又は6に記載の中間メタル層としてS VIA構造を構成する場合を示している。1層メタル23、2層メタル24、そして両者を接続する層間接続部CUT12(28)、2層メタル24、3層メタル25、そして両者を接続する層間接続部CUT23(29)のそれぞれで中間層VIAが構成されており、4層メタル26と多結晶シリコン層22との交差部においても、1乃至3層メタル23、24、25による配線が通過可能となる。

【0049】

Bでは、4層メタル26を請求項1又は6に記載の接続メタル層と、拡散層21を請求項1又は6に記載の接続対象層と、そして1乃至3層メタル23、24、25の3層のメタル層を請求項1又は6に記載の中間メタル層としてS VIA構造を構成する場合を示している。1層メタル23、2層メタル24、そして両者を接続する層間接続部CUT12(28)、2層メタル24、3層メタル25、そして両者を接続する層間接続部CUT23(29)のそれぞれで中間層VIAが構成されており、4層メタル26と拡散層21との交差部においても、1乃至3層メタル23、24、25による配線が通過可能となる。

【0050】

Cでは、4層メタル26を請求項1又は6に記載の接続メタル層と、1層メタル23を請求項1又は6に記載の接続対象層と、そして、2及び3層メタル24、25の2層のメタル層を請求項1又は6に記載の中間メタル層としてS VIA構造を構成する場合を示している。2層メタル24、3層メタル25、そして両

者を接続する層間接続部CUT23(29)で中間層VIAが構成されており、4層メタル26と1層メタル23との交差部においても、2及び3層メタル24、25による配線が通過可能となる。

【0051】

以上詳細に説明したとおり、本実施形態に係る多層配線構造の半導体装置では、中間層VIA23'、VIA23''において、中間メタル層M2、M3の最小パターン面積を確保することができる面積分だけ優先配線方向にメタル層を延長することにより、メタル層M2については、X方向の幅は最小幅のまま、Y方向に延長をし、メタル層M3については、Y方向の幅は最小幅のまま、X方向に延長をした構成を探ることができる。この構成により、優先配線方向に対するメタル層幅は最小幅を維持することができ、交差部11、12に示すように、X方向の配線トラックL31、L32は、メタル層M3の通過配線として十分な配線幅を有した配線トラックとしてピッチ $2 \times P_Y$ で領域を確保することができ、Y方向の配線トラックL21、L22は、メタル層M2の通過配線として十分な配線幅を有した配線トラックとしてピッチ $2 \times P_X$ で領域を確保することができる。

【0052】

従って、スタックVIA部において、下層メタル配線層M1から順次接続していく中間メタル層M2、M3を分割して接続領域内である交差部10、11、12の中間メタル層M2、M3による配線を可能とするので、スタックVIA部が配置される交差部10、11、12で中間メタル層M2、M3による配線がブロックされることではなく、分割された中間メタル層M2、M3に挟まれた中間メタル層配線領域である配線トラックL2、L3、L21、L31、あるいはL22、L32により配線を通過させることができ、配線効率を大幅に向上させることができる。

【0053】

また、半導体装置のメタル配線M2、M3において予め設定される優先配線方向と同一の方向に中間メタル層配線領域である配線トラックL2、L3、L21、L31、あるいはL22、L32が形成されるので、スタックVIA部を通過する中間メタル層配線領域である配線トラックL2、L3、L21、L31、あ

あるいはL22、L32と、スタックVIA部以外で通常配線として配置されている中間メタル層M2、M3による配線方向との整合性が良好となり、スタックVIA部が配置される接続領域である交差部10、11、12において中間メタル層M2、M3による配線がブロックされることなく、更に、外部配線との接続もスムーズに行なうことができ、配線効率を大幅に向上させることができる。

【0054】

また、4層メタル26と多結晶シリコン層22とを接続するS VIA構造における交差部においても、中間に位置する中間層VIAを構成する1乃至3層メタル23、24、25による配線が通過可能となり、4層メタル26と拡散層21とを接続するS VIA構造における交差部においても、中間に位置する中間層VIAを構成する1乃至3層メタル23、24、25による配線が通過可能となり、4層メタル26と1層メタル23とを接続するS VIA構造における交差部においても、中間に位置する中間層VIAを構成する2及び3層メタル24、25による配線が通過可能となる。

【0055】

また、本実施形態に係る多層配線構造の半導体装置における配線方法では、S VIA接続するべきメタル配線層間の交差部10、11、12を抽出して(S1)、中間メタル層M2、M3に対して設定されている優先配線方向に沿い、且つ配線トラックに合わせたピッチPX、PYで、S VIAをアレイ状に基本配置する(S2)。次に、削除可能なS VIA列を算出し削除候補をリストアップし(S4)、レイアウト上交差部10、11、12を通過すべき中間メタル層M2、M3の配線の有無に応じて削除すべきS VIA列を選択し(S5)、S VIA列の削除等を行ない、交差部10、11、12を通過できる中間メタル層配線領域である配線トラックL2、L3、L21、L31、あるいはL22、L32を確保することができる。尚、S VIAを構成する層間接続部CUT23を削除することでも同様の効果を奏することは可能である。

【0056】

これにより、S VIAや、メタル層M2、M3間の層間接続部CUT23を適宜に削除してやれば、中間メタル層M2、M3を分割して中間メタル層配線領域

である配線トラックL2、L3、L21、L31、あるいはL22、L32を確実に確保することができるので、スタックVIA部の接続領域である交差部10、11、12における中間メタル層M2、M3による配線がブロックされることはなく、分割された中間メタル層M2、M3に挟まれた中間メタル層配線領域である配線トラックL2、L3、L21、L31、あるいはL22、L32により配線を通過させることができ、配線効率を大幅に向上させることができる。

【0057】

また、本実施形態に係る多層配線構造の半導体装置における配線装置では、CPU2を中心にして、メモリ3、磁気ディスク装置4、CRT5、キーボード6、及び外部記憶媒体駆動装置7がバス8を介して相互に接続され、外部記憶媒体駆動装置7にCDROMや磁気媒体等の外部記憶媒体9が着脱可能に設置される多層配線構造の半導体装置における配線装置1において、中間メタル層分割ルーチンについての配線方法フローに示す手順は、自動配置配線用EDAツールに係る一連のプログラムやデータ等と合わせ、磁気ディスク装置4や、外部記憶媒体9に記録され、CPU2からの指令により必要に応じて参照される。

【0058】

従って、この多層配線構造の半導体装置における配線装置1を用いれば、メタル配線層M1、M4の交差部10、11、12に重ねて配置される中間メタル層M2、M3を分割して配線可能領域を確保することができる自動配線設計プログラムを実行することができる。また、外部記憶媒体9に記録することにより、上記の自動配線設計プログラムを保存、提供が容易となる。

【0059】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、本実施形態においては、接続するべき層間の交差部10、11、12において形成されるS VIAを適宜に削除して交差部10、11、12の中間に位置しているメタル層M2、M3が交差部10、11、12を通過できることを説明したが、本発明はこれに限定されるものではなく、接続するべき層間が交差部を有さない構成で中間層VIAにより接続されている場合にも同様に適用する

ことができ、中間層VIA部分においてメタル層M2、M3が通過できるようにする構成とすることも可能である。

【0060】

(付記1) 2層以上のメタル層を備え、接続メタル層と該接続メタル層から1層以上の中間メタル層を越えて離れた接続対象層とを接続領域で接続する際、前記接続メタル層から隣接する前記中間メタル層を順次接続していくスタックVIA部を有する多層配線構造の半導体装置において、

前記中間メタル層を前記接続領域内で適宜に分割した2以上の分割中間メタル層と、

前記分割中間メタル層に挟まれた中間メタル層配線領域とを備えることを特徴とする多層配線構造の半導体装置。

(付記2) 前記接続領域は、

前記接続メタル層と前記接続対象層との交差部であることを特徴とする付記1に記載の多層配線構造の半導体装置。

(付記3) 前記中間メタル層配線領域は、

前記中間メタル層における優先配線方向に形成されることを特徴とする付記1又は2に記載の多層配線構造の半導体装置。

(付記4) 前記スタックVIA部を構成する前記メタル層間を接続する層間接続部を適宜に削除することにより、前記中間メタル層の適宜な分割領域を確保して前記中間メタル層配線領域を形成することを特徴とする付記1乃至3の少なくとも何れか1に記載の多層配線構造の半導体装置。

(付記5) 前記層間接続部は、

前記層間接続部に接続される前記中間メタル層における優先配線方向に沿った配線トラックに合わせてアレイ状に配置されており、前記優先配線方向に沿って列単位に適宜に削除されることを特徴とする付記4に記載の多層配線構造の半導体装置。

(付記6) 前記分割中間メタル層は、

前記中間メタル層における優先配線方向に対して直行する幅方向に最小デザインルールをもって形成されることを特徴とする付記1乃至5の少なくとも何れか

1に記載の多層配線構造の半導体装置。

(付記7) 前記接続対象層は、接続対象メタル層であることを特徴とする付記1乃至6の少なくとも何れか1に記載の多層配線構造の半導体装置。

(付記8) 前記接続対象層は、非メタル層であることを特徴とする付記1乃至6の少なくとも何れか1に記載の多層配線構造の半導体装置。

(付記9) 前記非メタル層は、多結晶シリコン層であることを特徴とする付記8に記載の多層配線構造の半導体装置。

(付記10) 前記非メタル層は、拡散層であることを特徴とする付記8に記載の多層配線構造の半導体装置。

(付記11) 2層以上のメタル層について、接続メタル層と該接続メタル層から1層以上の中間メタル層を越えて離れた接続対象層とを接続領域で接続する際、前記接続メタル層から隣接する前記中間メタル層を順次接続していくスタックVIA部を有する多層配線構造の半導体装置における配線方法において、

前記中間メタル層を前記接続領域内で適宜に分割し、分割した前記中間メタル層に挟まれた領域を中間メタル層配線領域として形成することを特徴とする多層配線構造の半導体装置における配線方法。

(付記12) 前記接続領域を、

前記接続メタル層と前記接続対象層との交差部に形成することを特徴とする付記11に記載の多層配線構造の半導体装置における配線方法。

(付記13) 前記中間メタル層配線領域を、前記中間メタル層における優先配線方向に形成することを特徴とする付記11又は12に記載の多層配線構造の半導体装置における配線方法。

(付記14) 前記スタックVIA部を構成する前記メタル層間を接続する層間接続部を適宜に削除することにより、前記中間メタル層の適宜な分割領域を確保して前記中間メタル層配線領域を形成することを特徴とする付記11乃至13の少なくとも何れか1に記載の多層配線構造の半導体装置における配線方法。

(付記15) 前記層間接続部を、前記層間接続部に接続される前記中間メタル層の優先配線方向に沿った配線トラックに合わせてアレイ状に配置しておき、前記優先配線方向に沿って列単位に適宜に削除することを特徴とする付記14に記

載の多層配線構造の半導体装置における配線方法。

(付記16) 前記分割中間メタル層を、前記中間メタル層における優先配線方向に対して直行する幅方向に最小デザインルールをもって形成することを特徴とする付記11乃至15の少なくとも何れか1に記載の多層配線構造の半導体装置における配線方法。

(付記17) 付記11乃至16の少なくとも何れか1に記載の多層配線構造の半導体装置における配線方法により配線設計を自動で行う自動配線設計プログラムを備えることを特徴とする多層配線構造の半導体装置における配線装置。

(付記18) 付記11乃至16の少なくとも何れか1に記載の多層配線構造の半導体装置における配線方法により配線設計を自動で行う自動配線設計プログラムを記録した記録媒体。

【0061】

【発明の効果】

本発明によれば、多層配線構造を有する半導体装置において、S V I Aの配置を最適化することにより、接続メタル配線層の中間に位置する中間メタル層による配線効率を向上することができる多層配線構造の半導体装置、配線方法、配線装置、及び記録媒体を提供することが可能となる。

【図面の簡単な説明】

【図1】

実施形態における配線装置の構成図である。

【図2】

実施形態におけるメタル配線層間の接続部を示す平面図である。

【図3】

実施形態の第1具体例における中間層VIAを示すパターン図である。

【図4】

実施形態の第1具体例におけるメタル配線層間の接続部を示す平面図である。

【図5】

実施形態の第1具体例におけるメタル配線層間の接続部を示す断面図である。

【図6】

実施形態の第2具体例におけるメタル配線層間の接続部を示す平面図である。

【図7】

実施形態の第2具体例におけるメタル配線層間の接続部を示す断面図である。

【図8】

実施形態における中間メタル層分割ルーチンについての配線方法を示すフロー図である。

【図9】

多層配線構造の半導体装置の断面図である。

【図10】

従来技術におけるメタル配線層間の接続部を示す平面図である。

【図11】

従来技術におけるメタル配線層間の接続部を示す断面図である。

【図12】

VIAの基本最小パターン図である。

【図13】

従来技術における中間層VIAを示すパターン図である。

【符号の説明】

- 1 多層配線構造の半導体装置における配線装置
- 2 中央処理装置 (CPU)
- 3 メモリ
- 4 磁気ディスク装置
- 5 表示装置 (CRT)
- 6 キーボード
- 7 外部記憶媒体駆動装置
- 8 バス
- 9 外部記憶媒体
- 10、11、12 交差部
- 21 拡散層
- 22 多結晶シリコン

2 3 1層メタル
2 4 2層メタル
2 5 3層メタル
2 6 4層メタル
2 7 C U T 0 1
2 8 C U T 1 2
2 9 C U T 2 3
3 0 C U T 3 4
3 1 層間絶縁膜
3 2 熱酸化膜
3 3 シリコンバルク層

C U T 1 2、C U T 2 3、C U T 3 4 層間接続部

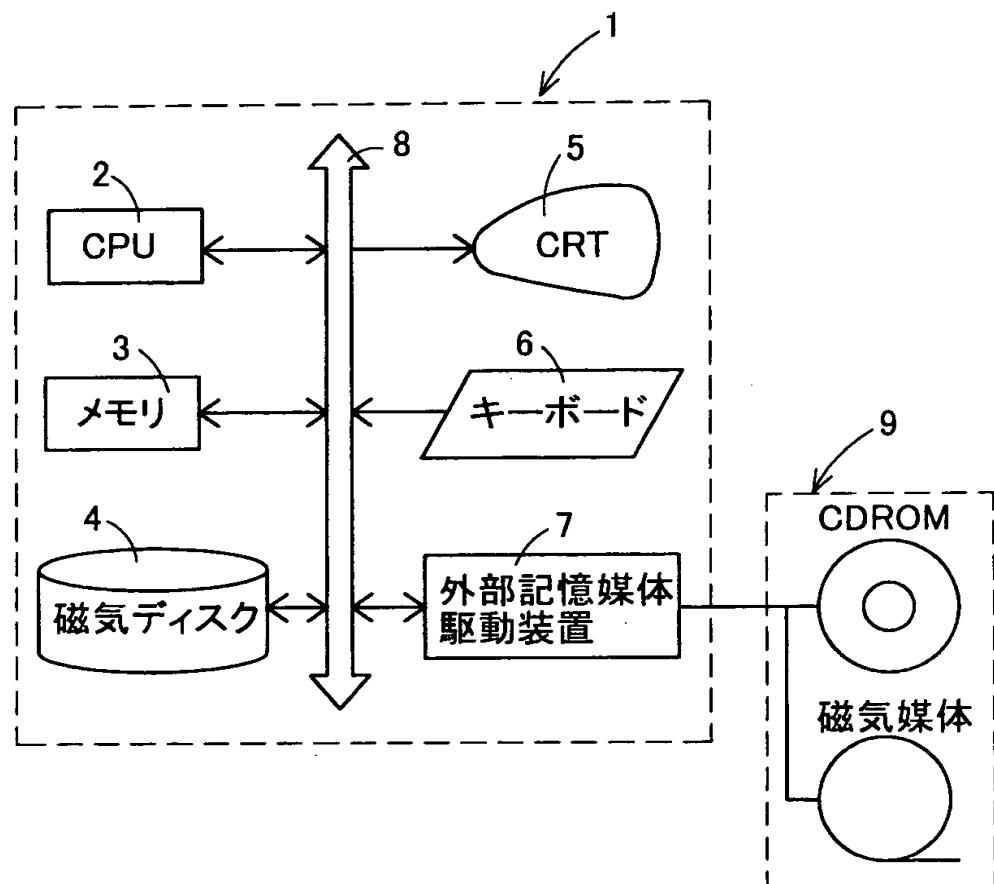
L 2、L 2 1、L 2 2、L 3、L 3 1、L 3 2 配線通過可能な配線トラック

M 1 下層メタル配線層
M 4 上層メタル配線層
M 2、M 3 メタル層
S V I A スタックV I A
T 2、T 3 配線トラック

【書類名】 図面

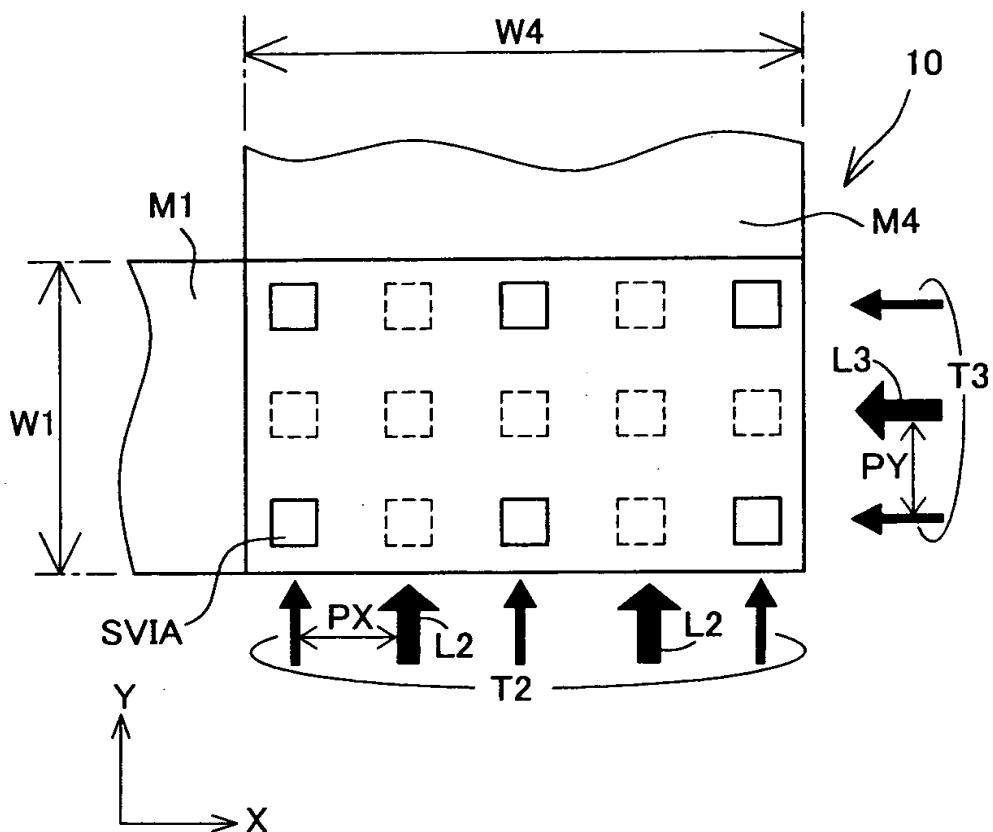
【図1】

実施形態における配線装置の構成図



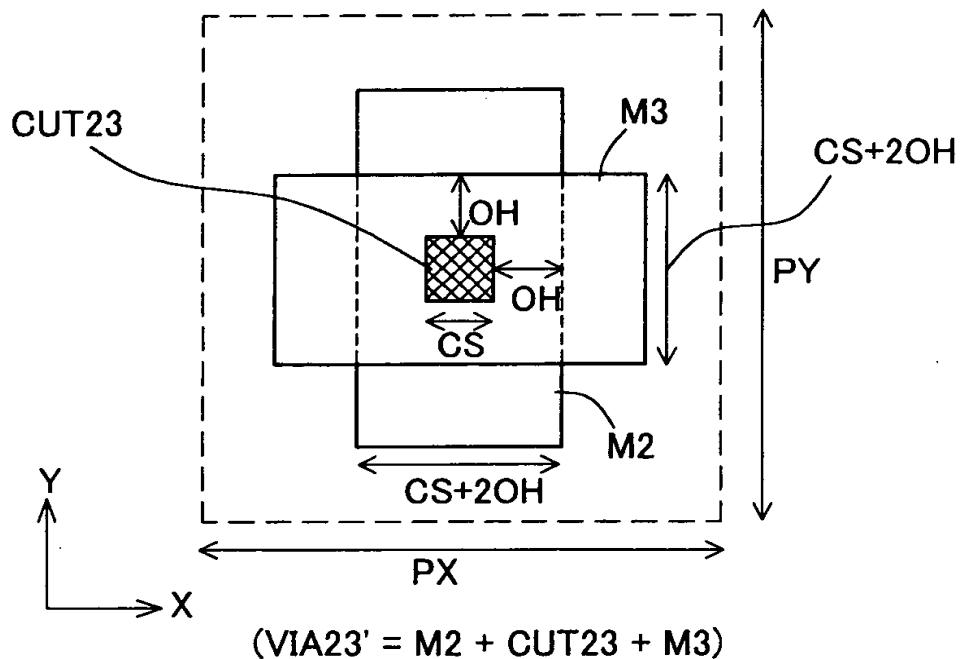
【図2】

実施形態におけるメタル配線層間の接続部(平面図)



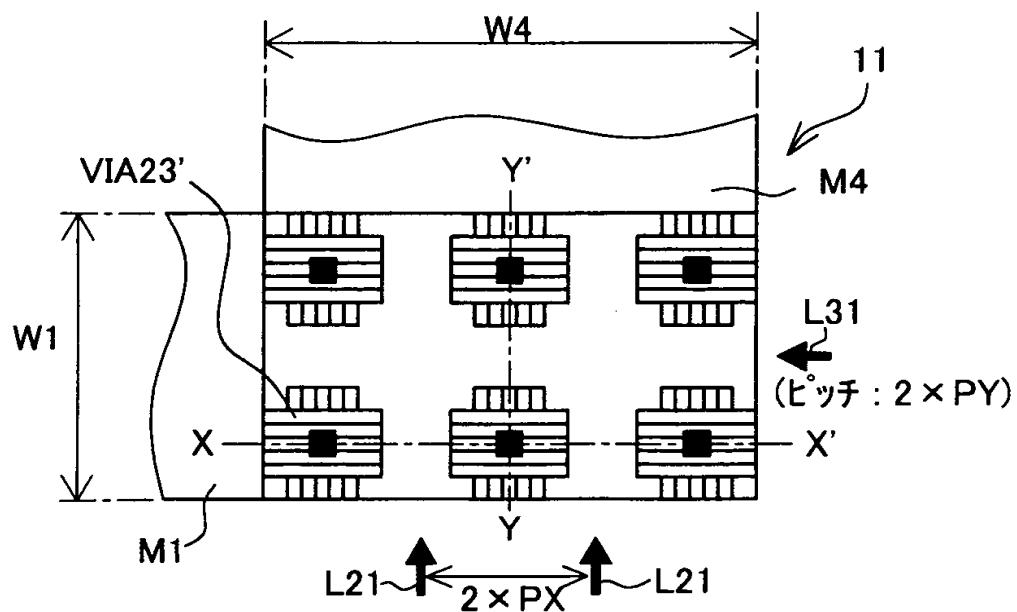
【図3】

実施形態の第1具体例における中間層VIAのパターン図



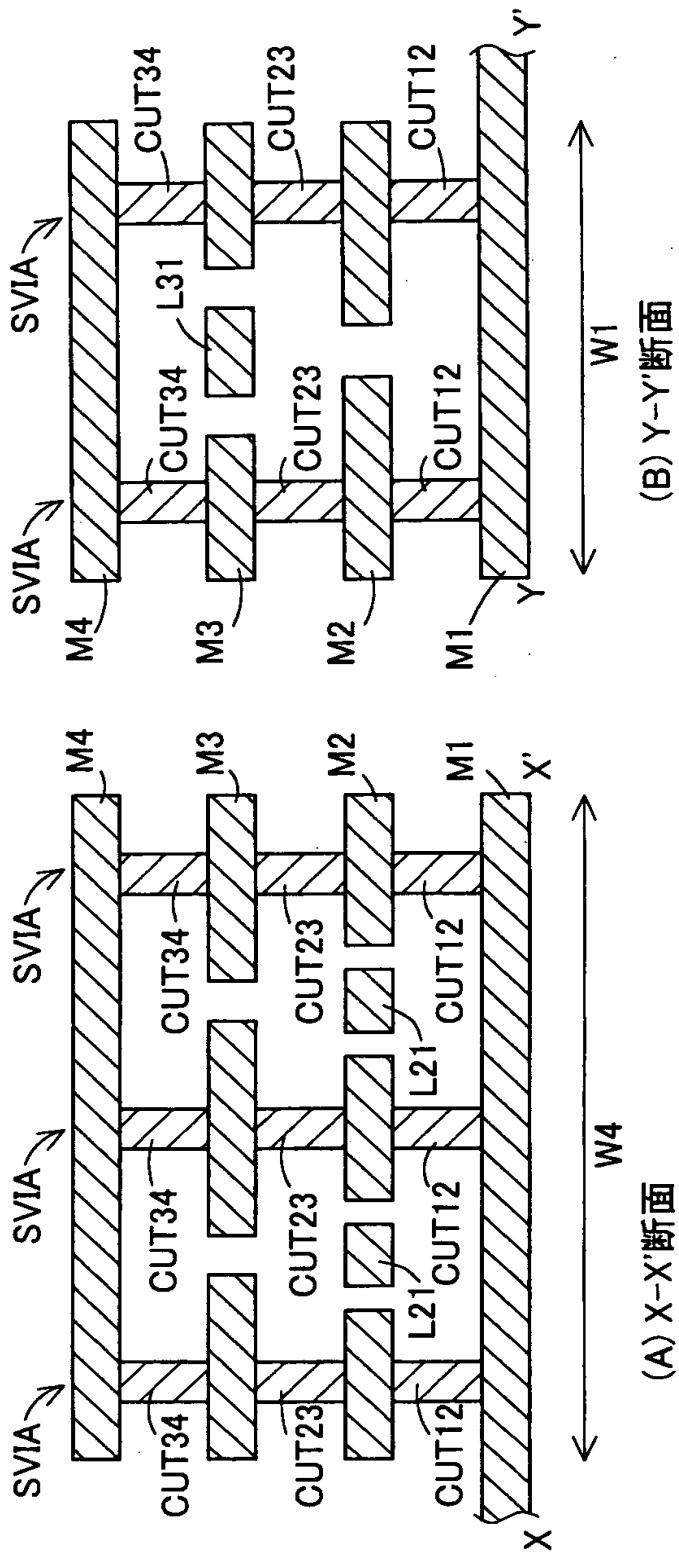
【図4】

実施形態の第1具体例におけるメタル配線層間の接続部(平面図)



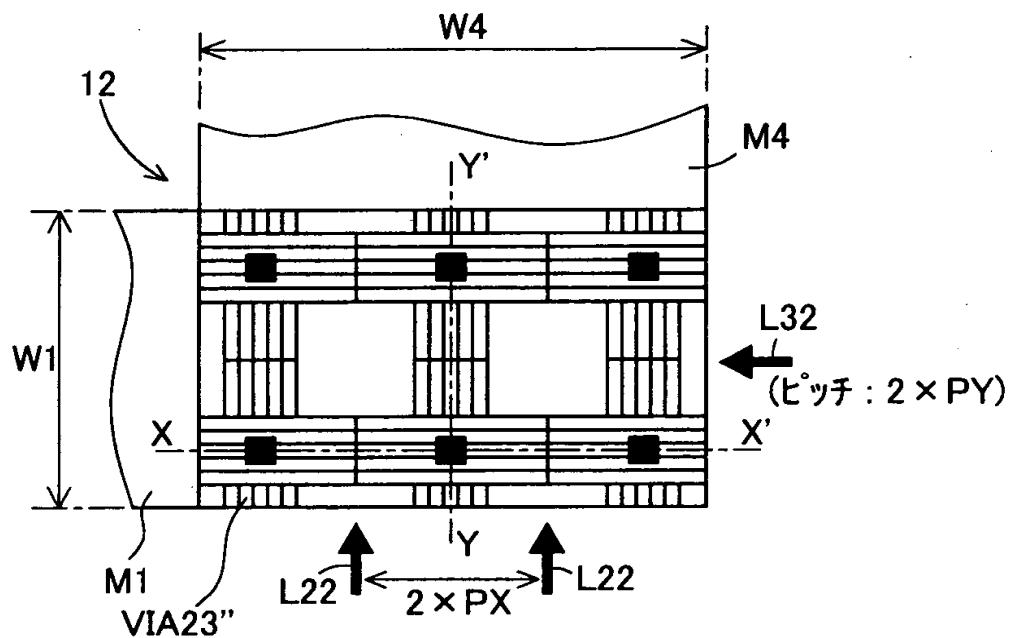
【図5】

実施形態の第1具体例におけるメタル配線層間の接続部(断面図)



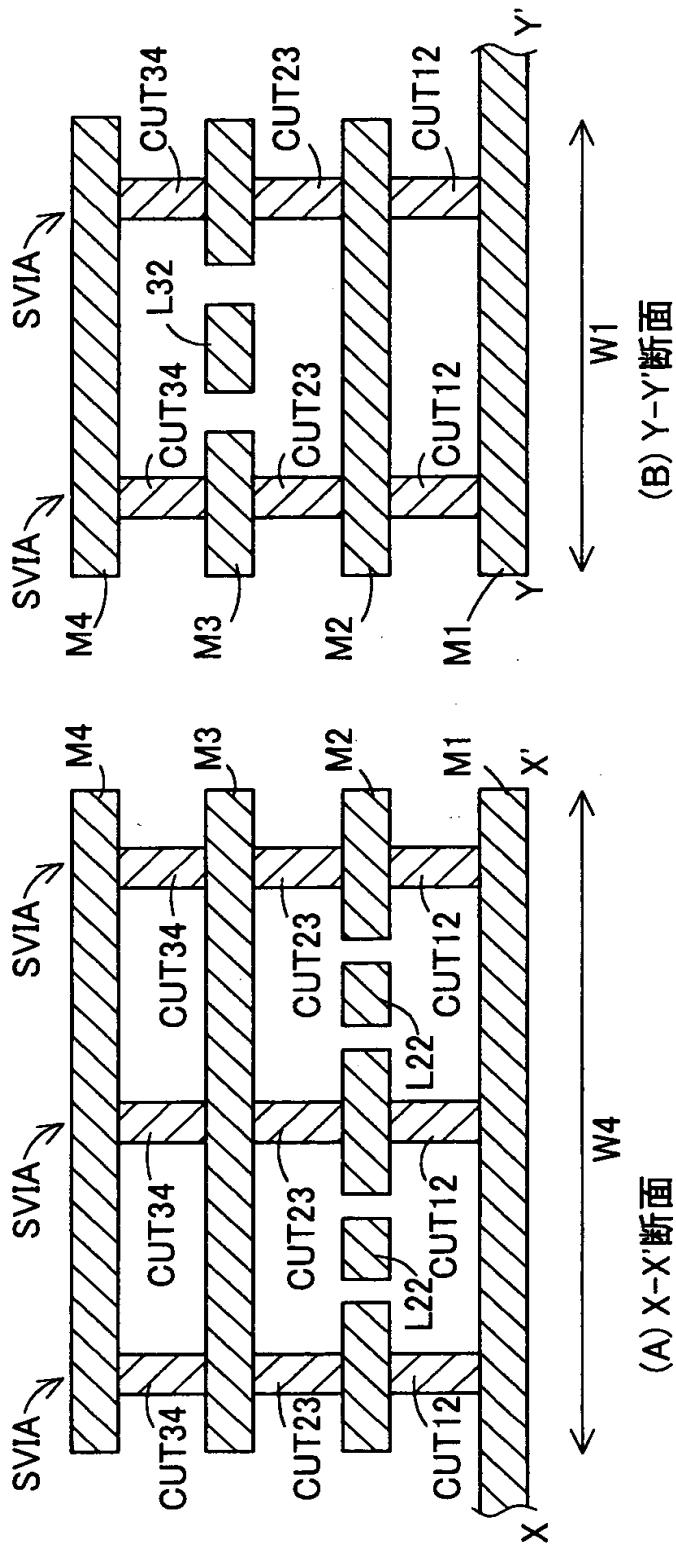
【図6】

実施形態の第2具体例におけるメタル配線層間の接続部(平面図)



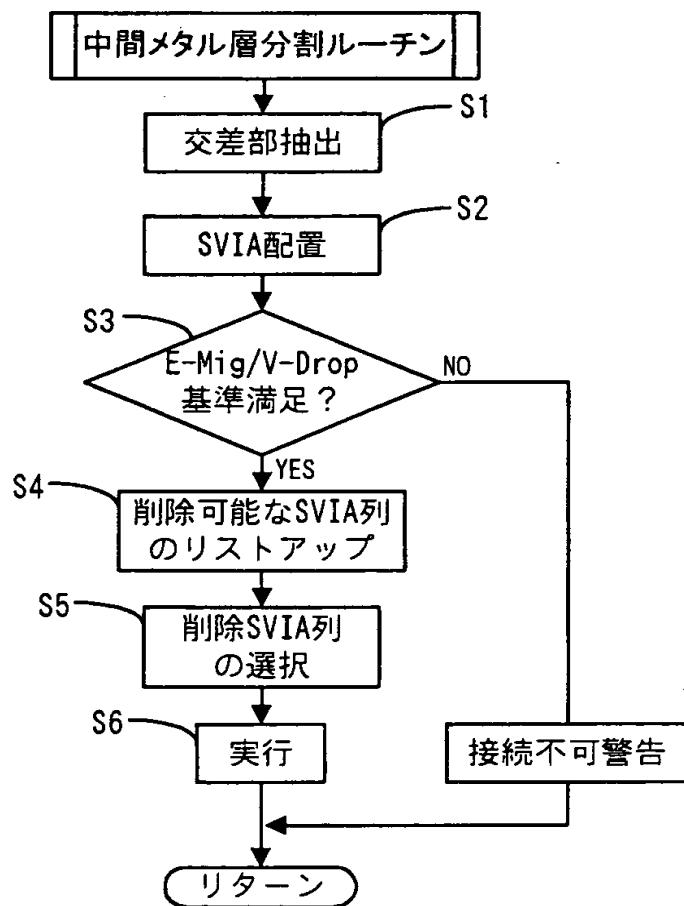
【図7】

実施形態の第2具体例におけるメタル配線層間の接続部(断面図)



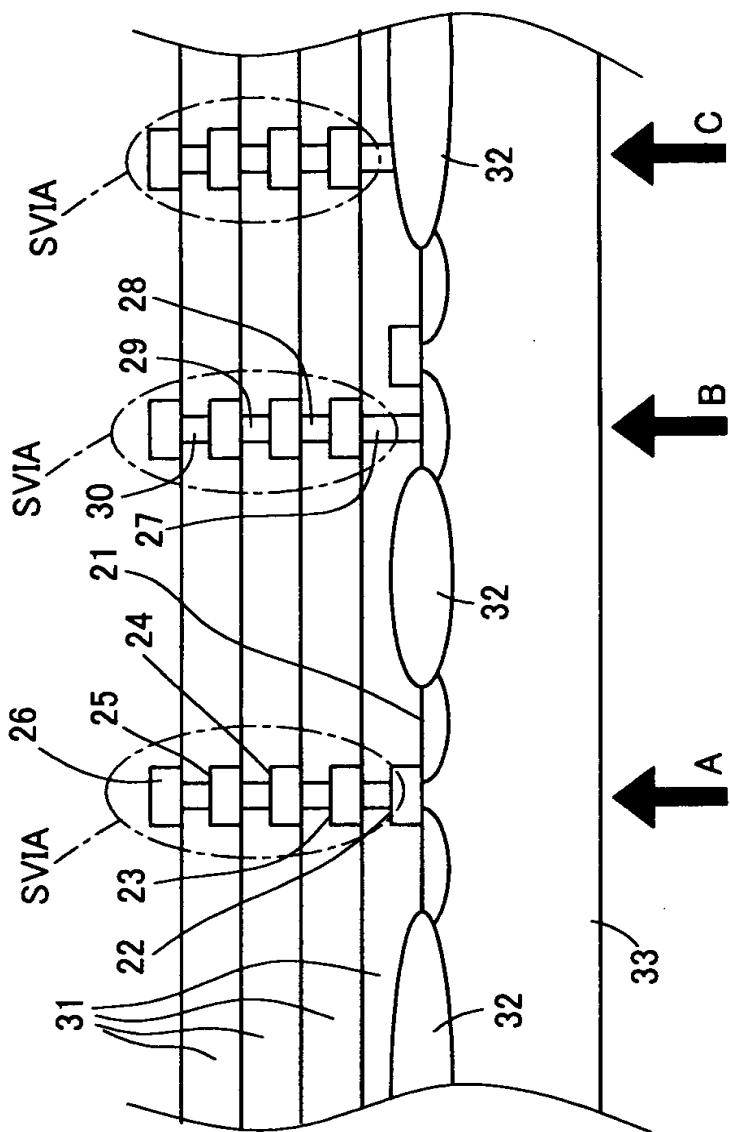
【図8】

実施形態における配線方法のフロー図



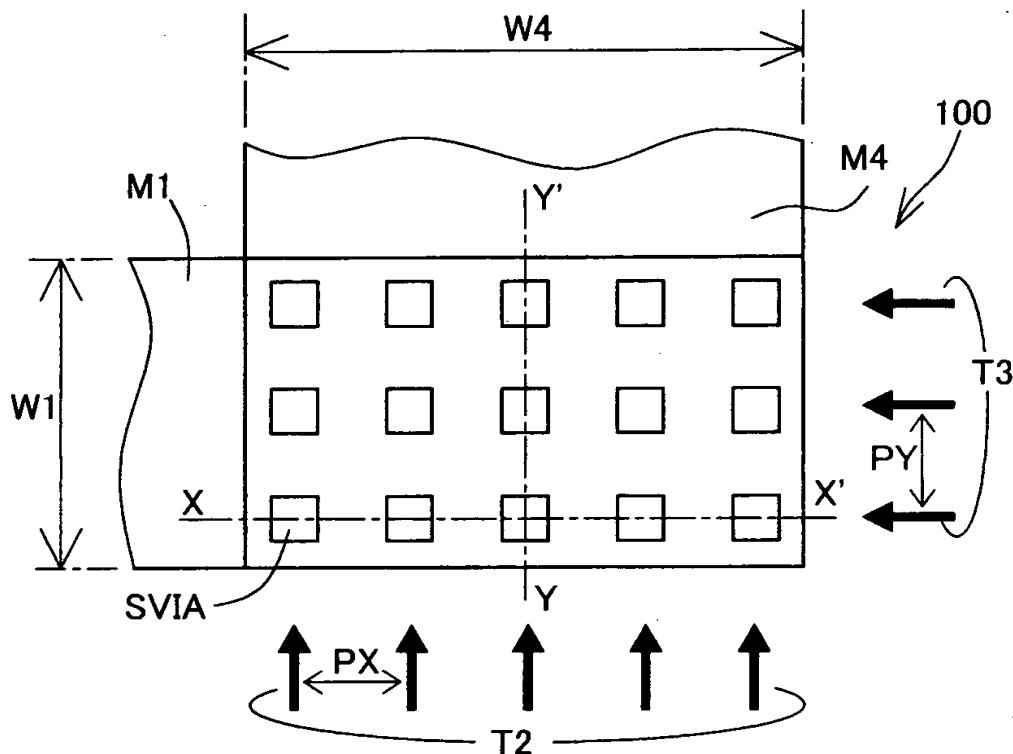
【図9】

多層配線構造の半導体装置の断面図



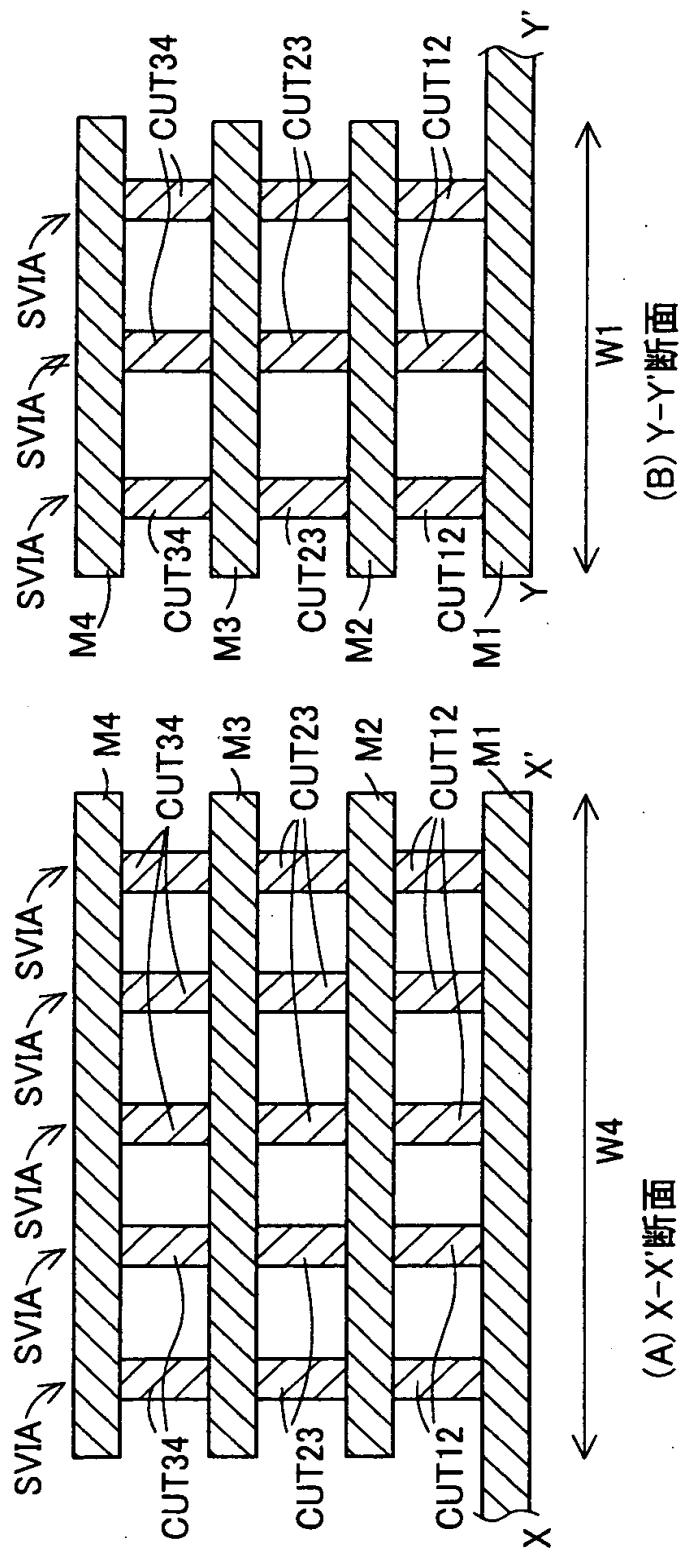
【図10】

従来技術におけるメタル配線層間の接続部(平面図)



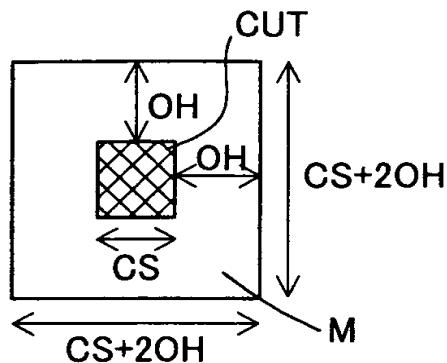
【図11】

従来技術におけるメタル配線層間の接続部(断面図)



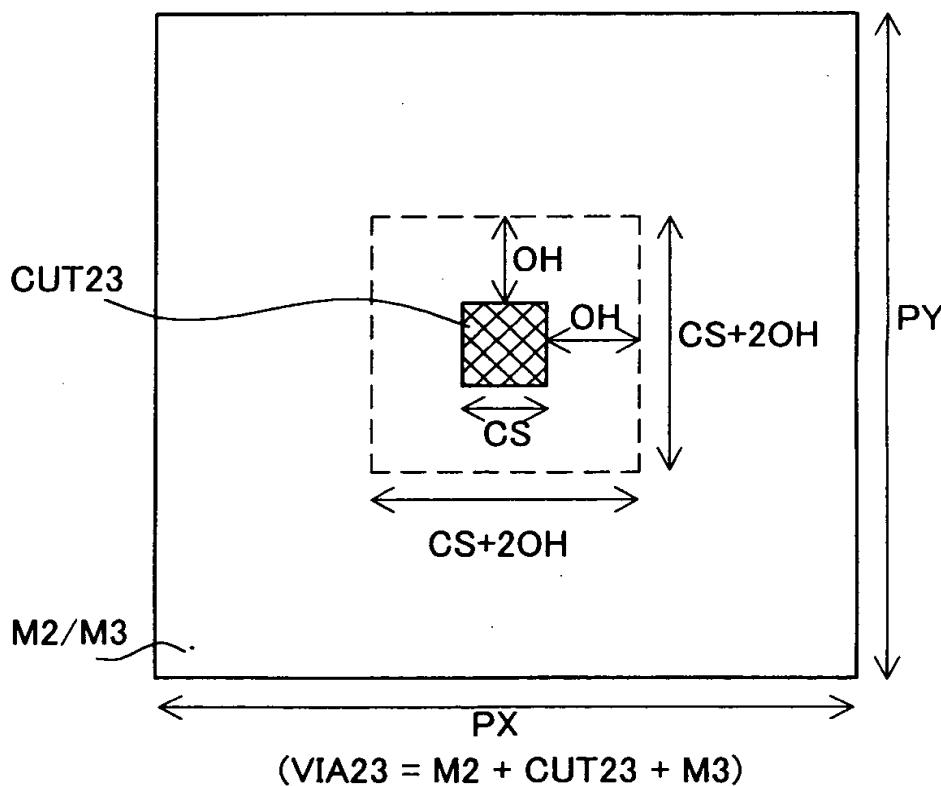
【図12】

VIAの基本最小パターン図



【図13】

従来技術における中間層VIAのパターン図



【書類名】 要約書

【要約】

【課題】 多層配線構造を有する半導体装置において、S V I Aの配置を最適化することにより、中間メタル層による配線効率を向上した多層配線構造の半導体装置、配線方法、配線装置、及び記録媒体を提供すること。

【解決手段】 中間メタル層M 2、M 3を挟んで、幅W 1の下層メタル配線層M 1と幅W 4の上層メタル配線層M 4とが交差した交差部10について、X方向（上層メタル配線層M 4の幅方向）にP Xのピッチで5個、Y方向（下層メタル配線層M 1の幅方向）にP Yのピッチで3個の計15個のS V I Aの配置に対して、X方向に1列分、Y方向に2列分の計9個のS V I Aを削除して、X方向への3つの配線トラックT 3のうち配線通過可能な配線トラックL 3を1トラック、及びY方向への5つの配線トラックT 2のうち配線通過可能な配線トラックL 2を2トラック確保する。

【選択図】 図2

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社

出願人履歴情報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社